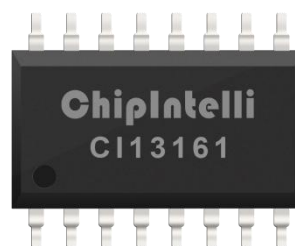


CI13161 数据手册

高性价比神经网络智能语音芯片



- **神经网络处理器（BNPU）**

- BNPU V3.5，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能的语音识别和通话降噪等功能

- **CPU 和存储器**

- CPU 主频可达 210 MHz
- 内置 1MBytes Flash 存储器
- 内置 288KBytes SRAM
- 内置 256bit eFuse，可用于应用加密

- **Audio Codec**

- 高性能低功耗 audio ADC，SNR $\geq$ 95dB
- 低功耗 audio DAC，SNR $\geq$ 95dB

- **PWM**

- 支持 3 路 PWM 接口

- **GPIO**

- 6 路高速 GPIO，翻转频率可达 20MHz
- 5 路 GPIO 支持 5V 电平通讯

- **复位和电源管理**

- 供电电压范围 3.6V~5.5V
- 内置 PMU 电源管理单元
- 内置上电复位（POR）
- 内置电压检测（PVD）

- **时钟**

- 内置 RC 振荡器
- 支持外置晶振输入

- **通讯接口**

- 1 路 IIC 接口
- 2 路 UART 接口，支持 5V 电平通讯，最高支持 3Mbps 通讯速率

- **定时器和看门狗**

- 内置 2 组 32 位定时器和 1 个看门狗

目录

1 概述	6
1.1 功能描述	6
1.2 芯片规格	7
2 引脚图和功能描述	9
2.1 引脚图	9
2.2 管脚描述	10
2.3 复用功能	12
3 芯片接口描述	12
3.1 通用输入输出(GPIO)	12
3.1.1 简介	12
3.1.2 特性	12
3.2 通用异步收发传输器(UART)	13
3.2.1 简介	13
3.2.2 特性	13
3.2.3 时序图	13
3.3 脉冲宽度调制输出(PWM)	14
3.3.1 简介	14
3.3.2 特性	15
3.4 通用定时器(TIMER)	15
3.4.1 简介	15
3.4.2 特性	15
3.5 音频数字传输总线(IIS)	16
3.5.1 简介	16
3.5.2 特性	16
3.6 集成电路总线(IIC)	17
3.6.1 简介	17
3.6.2 特性说明	18
3.6.3 时序图	18
3.7 独立看门狗(IWDG)	19
3.7.1 简介	19

3.7.2 特性	19
3.8 多媒体音频编解码器(CODEC)	19
3.8.1 简介	19
3.8.2 特性	19
3.9 增强型脉冲宽度调制输出(EPWM)	20
3.9.1 简介	20
3.9.2 特性	20
3.9.3 配置值说明	20
3.9.4 计数模式	21
3.9.5 使用方法	21
4 电气特性	22
5 封装信息	23
6 订购信息	24
7 应用方案	25
7.1 应用参考电路图	25
7.2 其它应用注意事项	27
8 修订历史	28

图片目录

图 1：CI13161 功能框图7

图 2：CI13161 管脚顺序及定义图 9

图 3：数据帧时序图 1 14

图 4：数据帧时序图 2 14

图 5：数据帧时序图 3 14

图 6：声道合并功能原理图 17

图 7：连续写数据操作时序图18

图 8：先写后读操作时序图 18

图 9：IIC 读操作时序图 19

图 10：封装尺寸24

图 11：CI1316X 典型应用方案参考电路图26

图 12：炉温曲线图28

表格目录

表 1：管脚描述 10

表 2：I0 复用功能 12

表 3：电气特性表 22

表 4：ADC 特性23

表 5：DAC 特性23

表 6：CI13161 芯片订购信息表25

表 7：CI1316X 升级模式表27

表 8：修订历史28

1 概述

1.1 功能描述

CI13161 是启英泰伦研发的三点五代高性能神经网络智能语音芯片，集成了启英泰伦自研的脑神经网络处理器 BNPU V3.5 和 CPU 内核，系统主频可达 210MHz，内置高达 288KByte 的 SRAM，集成 PMU 电源管理单元和 RC 振荡器，集成单通道高性能低功耗 Audio Codec 和多路 UART、IIC、PWM、GPIO 等外围控制接口。CI13161 芯片仅需少量电阻电容等外围器件，即可实现各类智能语音产品硬件方案，性价比极高。

CI13161 采用工业级设计标准，具有很好的环境可靠性，其工作温度范围-40℃~+85℃，符合 MSL3 级湿敏等级、符合 IEC 61000-4-2 的 4KV 接触放电试验标准、符合 RoHS 和 REACH 环保标准。

CI13161 采用启英泰伦新一代 BNPU 技术，该技术支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能，具备强劲的环境噪声抑制能力。CI13161 方案还支持汉语、英语、日语等多种全球语言，可广泛应用于家电、照明、玩具、可穿戴设备、工业、汽车等产品领域，实现语音交互及控制和各类智能语音方案应用。

1.2 芯片规格

CI13161 功能框图如图 1 所示：

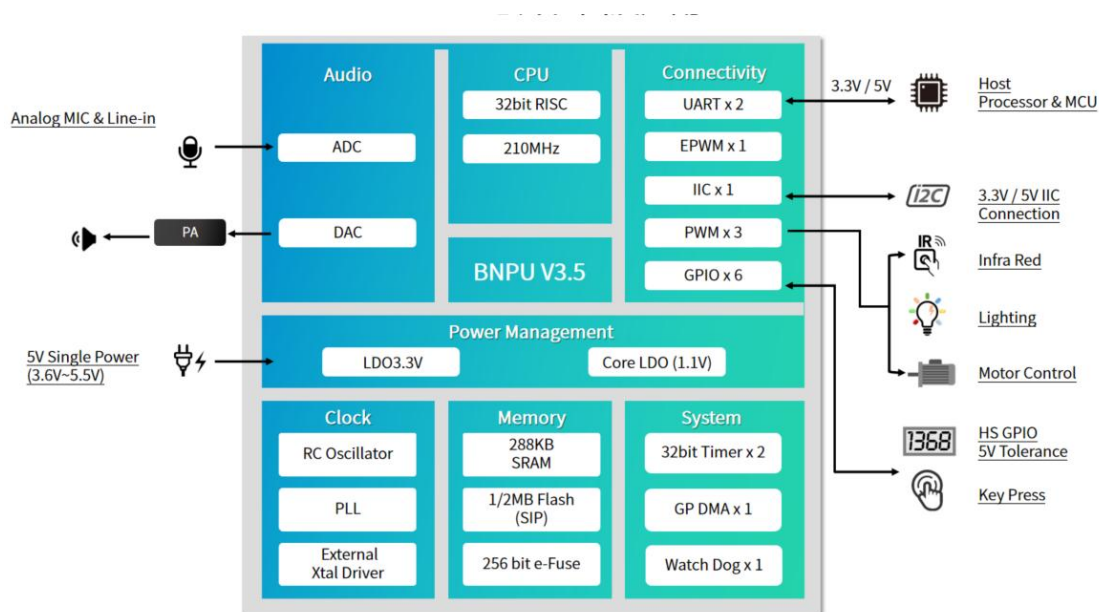


图 1： CI13161 功能框图

■ 神经网络处理器 BNPU V3.5

– 采用启英泰伦新一代硬件 BNPU 技术，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能

■ CPU

– 32 位高性能 CPU，最高支持 210MHz 运行频率

■ 存储器

- 内置 288KB SRAM
- 内置 256bit eFuse
- 内置 1MB Flash

■ 音频接口

- 内置高性能低功耗 Audio Codec 模块，支持单路 ADC 采样和单路 DAC 播放
- 支持 Automatic Level Control (ALC) 功能
- 支持 8kHz/16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率

■ 电源管理单元 PMU

- 支持宽电源电压供电，供电范围 3.6V~5.5V
- 内置 2 路高性能 LDO 电路，无需配置外置电源芯片，应用方案仅需少量外围阻容器件

■ 时钟

- 内置 RC 振荡器
- 支持外置晶振输入

■ 外设和定时器

- 2 路 UART 接口，支持最高 3M 波特率通讯
- 1 路 IIC 接口，可外接 IIC 器件扩展
- 3 路 PWM 接口，灯控和电机类的应用均可直接驱动
- 内置 2 组 32bit timer
- 内置 1 组独立看门狗 (IWDG)

■ GPIO

- 支持 6 路 GPIO 口，可作为主控 IC 应用
- 每路 GPIO 口可配置中断功能，可配置上下拉状态
- 5 路 GPIO 可通过外接 5V 上拉电阻直接支持 5V 电平通讯

■ 软件开发支持

- 提供完整软件开发包、应用方案示例、利用语音开发平台直接在线制作固件等支持，详情请访问：<https://aiplatform.chipintelli.com>

■ 固件烧录和保护

- 支持 UART 升级和固件保护

■ ESD 性能

- 采用内部 ESD 增强设计，可通过 4KV 接触放电试验

■ ROHS 和 REACH

- 采用环保材料，支持 RoHS 和 REACH 标准

■ 封装和工作温度范围

- 封装形式：SOP16，尺寸为长 9.9mm，宽 6.0mm，高 1.7mm
- 工作环境温度：-40℃~+85℃

2 引脚图和功能描述

2.1 引脚图

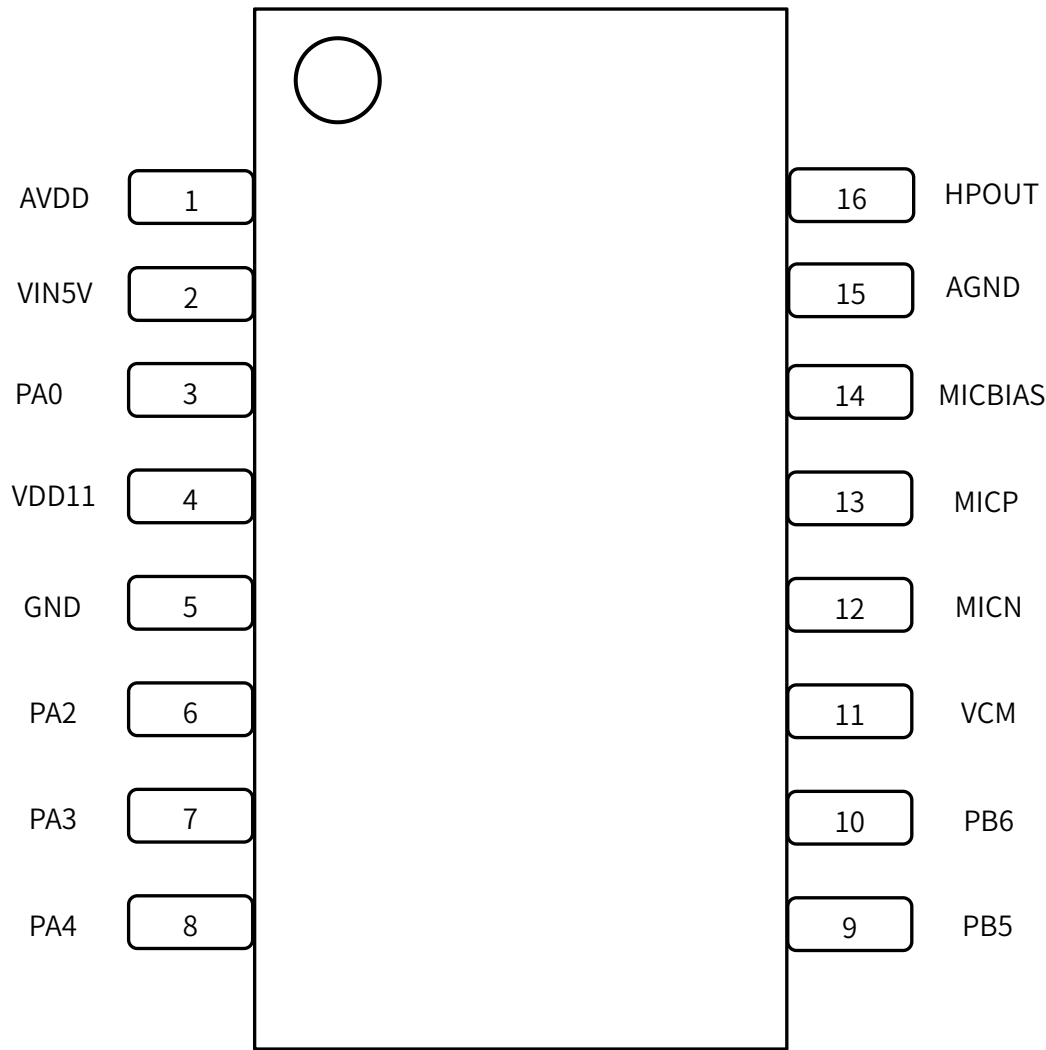


图 2： CI13161 管脚顺序及定义图

2.2 管脚描述

表 1： 管脚描述

管脚号	管脚名称	类型	是否支持 5V 电平	上电默认状态	管脚功能
1	AVDD	P	—	—	● 内部 LDO-3.3V 输出 ● 内部模拟电路 3.3V 供电输入 * Note1*
2	VIN5V	P	—	—	● 供电电压输入, 供电电压范围 3.6V~5.5V * Note1*
3	PA0	IO	—	—	● XIN (上电默认状态) ● GPIO PA0 ● PWM2
4	VDD11	P	—	—	● LDO-1.1V 输出 ● 内核 1.1V 供电输入 * Note1*
5	GND	P	—	—	Ground
6	PA2	IO	✓	IN, T+D	● GPIO PA2 (上电默认状态) ● IIC_SDA ● UART1_TX ● PWMO ● PWMP
7	PA3	IO	✓	IN, T+D	● GPIO PA3 (上电默认状态) ● IIC_SCL ● UART1_RX1 ● PWM1 ● PWMN
8	PA4	IO	✓	IN, T+U	● GPIO PA4 (上电默认状态) /PG_EN * Note2* ● PWM2
9	PB5	IO	✓	IN, T+U	● GPIO PB5 (上电默认状态) ● UART0_TX ● IIC_SDA ● PWM1 ● PWMP
10	PB6	IO	✓	IN, T+U	● GPIO PB6 (上电默认状态) ● UART0_RX ● IIC_SCL ● PWM2 ● PWMN
11	VCM	O	—	—	VCM POWER Output
12	MICN	I	—	—	Microphone N input
13	MICP	I	—	—	Microphone P input
14	MICBIAS	O	—	—	Microphone bias output
15	AGND	P	—	—	Analog ground
16	HPOUT	O	—	—	DAC output

Note1 管脚需外接 4.7uF 电容

Note2 上电时该管脚为高电平，系统将进入编程模式

符号定义:

I 输入

O 输出

IO 双向

P 电源或地

T+D 三态下拉

T+U 三态上拉

OUT 上电默认输出

IN 上电默认输入

所有 IO 均可配置驱动能力和上下拉状态。

2.3 复用功能

表 2: IO 复用功能

Pin Name	Function1	Function2	Function3	Function4	Function5	Function6	Specific Function
PA0	PA0	PWM2					XIN
PA2	PA2	–	IIC_SDA	UART1_TX	PWM0	PWMP	
PA3	PA3	–	IIC_SCL	UART1_RX	PWM1	PWMN	
PA4	PA4	–	–	–	PWM2		PG_EN *Notel*
PB5	PB5	UART0_TX	IIC_SDA	PWM1	PWMP		
PB6	PB6	UART0_RX	IIC_SCL	PWM2	PWMN		

Notel: PA4 (PG_EN) 管脚内部默认上拉，当上电时系统检测到该管脚为高电平、且 UART0 接口上有固件升级信号，则自动进入升级模式，此时可通过升级工具对芯片内部的 Flash 进行编程。若此时系统未检测到 UART0 接口上有固件升级信号、或检测到 PA4 管脚的电压为低电平，都将进入正常工作模式。

3 芯片接口描述

3.1 通用输入输出(GPIO)

3.1.1 简介

GPIO(通用 IO 接口)是一种通用的输入输出端口，允许设备与外围硬件进行电平信号交互，其既可以作为输入接收外部信号，也可以作为输出控制外围硬件。

3.1.2 特性

CI16162 支持多个可编程的输入/输出管脚(可由软件单独配置)，每个 GPIO 端口都有相应的控制寄存器和配置寄存器，可单独打开或关闭每个 GPIO 管脚，实现对外围硬件的精准控制和状态监测。CI16162 芯片支持 3 组 GPIO(GPIO0、GPIO1、GPIO2)，其中 GPIO0 对应的是芯片 PA 口，GPIO1 对应的是芯片 PB 口。每组 GPIO 管脚分配请查看 2.2 管脚描述部分。

CI16162 提供 IO 输入输出状态查询接口、中断屏蔽接口、中断屏蔽查询接口、

中断清除接口、中断状态查询接口、中断触发方式配置接口（可配置为：低电平触发、高电平触发、上升沿触发、下降沿触发、双边沿触发）等，以满足不同的应用场景和需求。

3.2 通用异步收发传输器(UART)

3.2.1 简介

UART 是一种通用异步串行通信数据接口，实现两个设备之间数据的接收和发送，支持全双工通讯。接收端和发送端之间没有共享时钟信号，为保障通信可靠性，通讯的两个设备需要设置相同的波特率和数据帧格式。

CI16162 支持 2 个 UART 控制器：UART0、UART1。

3.2.2 特性

- 支持标准的 UART 协议，数据帧格式由起始位、数据位（长度可配置）、奇偶校验位(可选)和停止位（宽度可配置）四部分组成，支持波特率可配置。
- 总线处于空闲状态时，信号线为高电平状态。
- 起始位：用于标识传输数据帧的开始，每个数据帧以发送端输出一个比特宽度的低电平开始，通知接收端数据传输已启动；
- 数据位：传输的数据长度通过 UART_LCR 寄存器可配置为 5~8 位，常用 8 位，位传输顺序为低位优先，先发送最低位 LSB 最后发送最高位 MSB；
- 奇偶校验位：通过 UART_LCR 寄存器配置是否开启奇偶校验功能，通过 UART_LCR 寄存器配置奇校验或偶校验。奇偶校验功能开启状态、数据位传输完成后，可通过奇/偶校验检测数据传输是否错误；
- 停止位：用于标识传输数据帧的结束，每个数据帧以高电平结束，长度通过 UART_LCR 寄存器可配置为 1、1.5、2 位；

3.2.3 时序图

UART 数据传输 1 个数据帧（8 位数据位、奇偶校验位、1bit 停止位）的时序图如下：

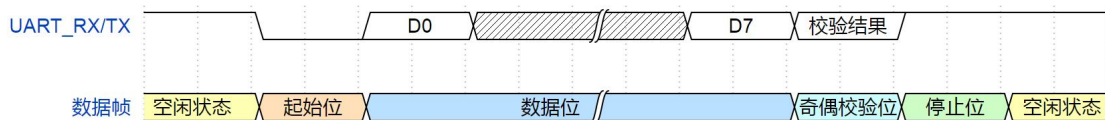


图 3：数据帧时序图 1

UART 数据传输 1 个数据帧（起始位、7 位数据位、奇偶校验位、1.5bit 停止位）的时序图如下：

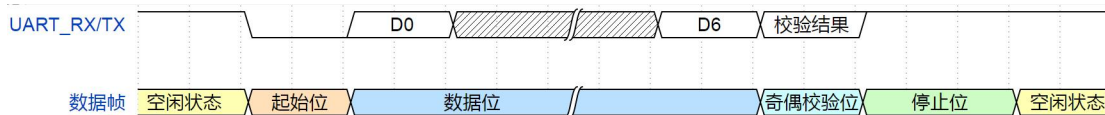


图 4：数据帧时序图 2

UART 数据传输 1 个数据帧（起始位、8 位数据位、无奇偶校验位、2bit 停止位）的时序图如下：

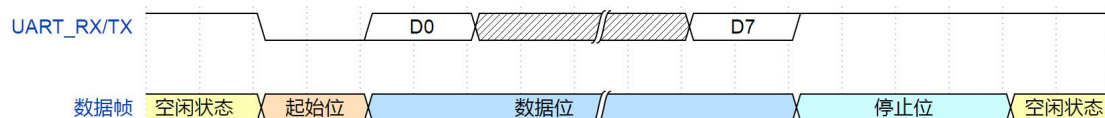


图 5：数据帧时序图 3

UART 波特率设置越高，数据传输速度越快，但也会增加干扰和误码率。在设置波特率时，需要考虑通信双方串口硬件是否支持该波特率。若波特率设置过高，可能会导致数据传输不稳定。

支持最大 3Mbps 波特率，波特率可通过 UART_I_BRD 和 UART_F_BRD 寄存器配置。

3.3 脉冲宽度调制输出(PWM)

3.3.1 简介

PWM (Pulse Width Modulation) 是一种通过调节数字脉冲的占空比（高电平时间占整个周期的比例）来等效模拟信号电平的技术，广泛应用于电机控制、电源管理、LED 调光等领域。

CI16162 具有 4 个专用 PWM，每个 PWM 输出信号的频率通过 TIMER_SC 寄存器进行配置，每个 PWM 输出信号的占空比通过 TIMER_SPWMC 寄存器进行配置，不

支持 100% 占空比 (常高)，若需使用 100% 占空比，通过配置 GPIO 来实现。

3.3.2 特性

- 计数时钟分频，支持 1、2、4、16 分频，通过 TIMER_CFG 寄存器进行配置；
- 支持两个 32 位递减计数器；
- 可变占空比 PWM 脉冲宽度波形输出；
- 支持停止后输出电平极性通过 TIMER_RESTART_MD 寄存器配置；

3.4 通用定时器(TIMER)

3.4.1 简介

TIMER (通用定时器) 是一个基于可配置分频器和多种计数方式 32 位递减计数器，在计数值达到 0 时触发一个定时事件，常用于在指定的时间间隔内反复触发指定窗口的定时器事件，可作为周期性中断发生器、事件计数器使用。CI16162 具有 2 个相同的专用 TIMER：TIMER0~TIMER1，支持 TIMER 级联。

3.4.2 特性

- 支持三种计数模式，通过 TIMER_CFG 寄存器进行配置：单周期计数模式、自动重载计数模式、自由运行计数模式；
单周期计数模式：定时器仅计数一个计数周期；
自动重载计数模式：计数器在每个计数结束时重新初始化；
自由运行计数模式：计数值在每次计数结束时从 0xFFFFFFFF 循环到 0x00000000；
- 计数时钟分频，支持 1、2、4、16 分频，通过 TIMER_CFG 寄存器进行配置；
- 32 位递减计数器，可读取计数器的实时值，通过 TIMER_CC 寄存器进行读取；
- 支持级联模式配置，通过 TIMER_CFG0 寄存器进行配置；
- 支持计数完成上报中断；

3.5 音频数字传输总线(IIS)

3.5.1 简介

IIS 是用于数字音频设备之间传输音频数据的通信接口，实现对外部 16/20/24/32bit 立体声数字音频信号编解码电路的信号传输功能。

CI16162 内部支持 3 路 IIS：IIS0~IIS2。其中，IIS0 为通用 IIS，具有 TX 发送和 RX 接收功能单元，通过 PAD 与其它芯片进行通信；IIS1 为芯片内部专用 IIS，具有 TX 发射和 RX 接收功能单元，TX 单元专用于给 CI16162 的内部 CODEC DAC 使用，RX 单元专用于给 CI16162 的内部 CODEC ADC 使用；IIS2 为专用 IIS，仅具有 RX 接收功能单元。

CI16162 支持专用 IISDMA，用于内存 memory 与 IIS 之间的数据传输，所有 IIS 共用一个 IISDMA0，每个 IIS 使用 IISDMA0 的不同通道。

3.5.2 特性

- IIS 接口由 MCLK、SCK、LRCLK、SDI、SDO 这些信号线组成；
- MCLK：主时钟，一般是音频采样率(LRCLK 的频率)的 128/192/256/384 倍；
- SCK：串行位时钟，每个 SCK 周期传输 1bit 数据；
- LRCLK：帧时钟，用于切换左右声道的数据；
- IIS 格式下 LRCLK 为 0 表示当前数据帧是左声道数据，为 1 表示当前数据帧是右声道数据；
- 左/右对齐格式下 LRCLK 为 0 表示当前数据帧是右声道数据，为 1 表示当前数据帧是左声道数据；
- SDI/SDO：串行数据输入/输出，用于传输音频数据；
- LRCLK 与 SCK 的比例通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 1:32 或 1:64；
- 收发数据格式通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 IIS 格式、左对齐格式和右对齐格式；
- 收发数据位数通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 16bit、20bit、24bit、32bit；
- 使用单声道模式时，支持声道数据拷贝功能，发送时单声道数据同时发送到

左右两个声道，接收时左右两个声道合并成单声道的数据；

- 采样数据位宽为 16bit 时，支持声道数据合并功能，具体功能原理见下图；

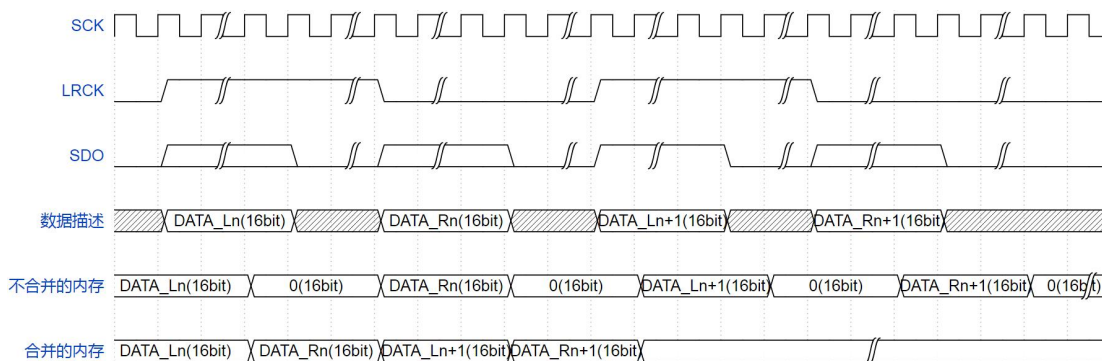


图 6：声道合并功能原理图

- 接收和发送数据时左右声道数据支持对调，接收的左右通道数据对调通过 IISRX0CTRL 寄存器配置，发送的左右通道数据对调通过 IISTX0CTRL 寄存器配置；
- 接收和发送数据通道完全独立；
- 支持静音模式，接收时通过通过 IISRX0CTRL 寄存器配置，发送时通过 IISTX0CTRL 寄存器配置；
- 支持声道数配置，接收时通过通过 IISRX0CTRL 寄存器配置单声道或双声道，发送时通过 IISTX0CTRL 寄存器配置单声道或双声道；

3.6 集成电路总线(IIC)

3.6.1 简介

IIC 是一种双向双线同步串行总线，包括 SDA(串行数据线)和 SCL(串行时钟线)，SDA 和 SCL 管脚均为开漏输出。IIC 总线通常用于单个或多个主设备和单个或多个从设备之间通信，每个连接到总线上的设备都有一个唯一的地址，同一时刻仅允许有一个 master 主设备发起请求访问 slave 从设备。

CI16162 支持 1 个 IIC，其数据帧格式通常由起始信号、地址信号、应答信号、数据信号和停止信号五部分组成，支持标准传输速率 100kbit/s 和快速传输速率 400kbit/s 两种模式。

3.6.2 特性说明

- SDA：串行数据线，双向 I/O 线；
- SCL：串行时钟线，由 master 提供；
- 支持 master 和 slave 模式可寄存器配置；
- master：作为 master 主设备时启动总线传输数据，并产生时钟；
- slave：作为 slave 从设备时被寻址的从设备，具有唯一地址；
- 起始信号：SCL 为高电平时，SDA 从高电平跳变至低电平，表示传输开始；
- 地址信号：支持 7 位寻址模式，包含 7bit 地址位和 1bit 读写位；
- 应答信号：ACK 接收成功，NACK 接受失败或传输结束；
- 数据信号：按 Byte 传输，先发送最高位 MSB 最后发送最低位 LSB；
- 停止信号：SCL 为高电平时，SDA 从低电平跳变至高电平，表示传输结束；
- 总线传输速率可配置为标准-100kbit/s 和快速-400kbit/s；

3.6.3 时序图

主设备通过产生 Start 起始条件来启动通信：在 SCL 为高电平时将 SDA 拉低，并通过 SCL 发送 8 个时钟脉冲用于传输 1 个 Byte，该 Byte 包含 7Bit 地址位和一 Bit 读/写位。若从设备的地址与传输的 7Bit 地址匹配，则产生应答信号。主设备和从设备可根据读/写位判断是发送还是接收数据，并根据应答位的逻辑电平判断是否结束数据传输。在数据传输过程中，SDA 仅在 SCL 为低时发生变化。一旦完成通信，主设备发送 STOP 停止条件来结束通信：在 SCL 为高电平时将 SDA 拉高。

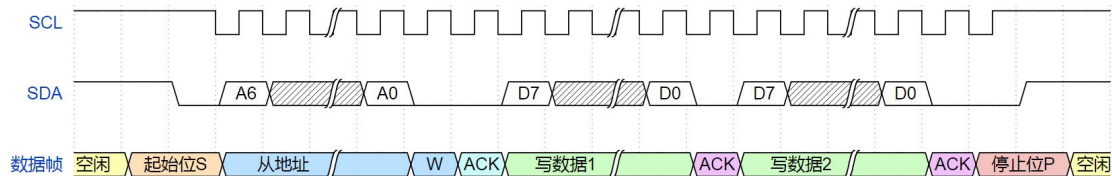


图 7：连续写数据操作时序图

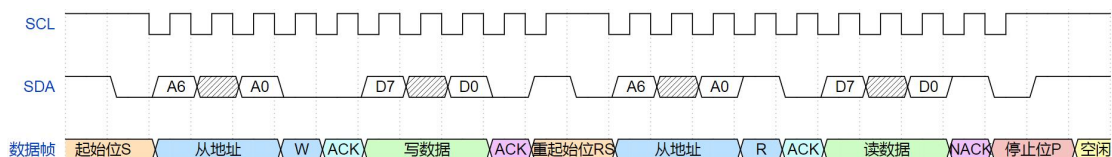


图 8：先写后读操作时序图

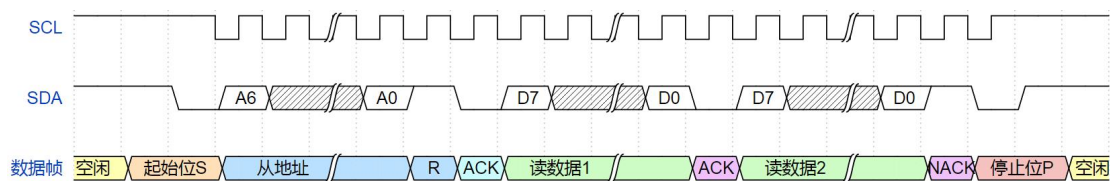


图 9: IIC 读操作时序图

3.7 独立看门狗(IWDG)

3.7.1 简介

IWDG 是一种硬件定时电路，主要用于监测系统由于工作异常而引发的故障并从故障中进行恢复。

3.7.2 特性

CI16162 支持 1 个 IWDG 模块，IWDG 是基于一个 32 位递减计数器，计数器从装载值开始递减，计数值计数到 0 时，产生超时中断，计数器重新加载装载值，计数值再次计数到 0 时，若超时中断未被清除，则 IWDG 将产生复位请求。可通过 SYS_RESET_CFG 寄存器配置复位域的范围。

3.8 多媒体音频编解码器(CODEC)

3.8.1 简介

CI16162 内置高性能低功耗音频 CODEC，支持一路 ADC、一路 DAC，MIC 输入的模拟信号经 MIC 增益，再经 PGA 放大。此 PGA 可通过 CODEC 本身的 ALC 控制，PGA 之后，还可通过数字增益进行放大。

3.8.2 特性

- DAC 支持最多 24bit，SNR 可达 90dB；
- ADC 支持最多 24bit，SNR 可达 90dB；
- 支持单端、差分的 MIC 输入和 line-in 输入；

- 支持 ALC 自动增益控制；
- 采样率支持：8k/12k/16k/24k/32k/44.1k/48k；

3.9 增强型脉冲宽度调制输出(EPWM)

3.9.1 简介

EPWM(增强型脉冲宽度调制输出)是一种比普通 PWM 更为复杂的脉冲宽度调制技术，具有更多功能和配置选项。它能够实现反向、斩波、低电平或高电平指定相位等特殊功能，广泛应用于工业及消费类电子领域电源控制器件，例如电机控制、开关电源等。

每个 EPWM 由 2 路 PWM 输出组成，分别为引脚 PWMN 和 PWMP，且这一对 PWM 输出可单独当作普通 PWM 使用，或者互补 PWM 波输出，或者自定义的 PWM 输出。

3.9.2 特性

- 一个频率可控的 16-bit 计数器；
- 支持外部或软件通过 TBCTL 寄存器配置计数器的开始或结束；
- 支持一对多种模式的 PWM 输出：中心对称 PWM 输出；边沿对称 PWM 输出；边沿非对称 PWM 输出；
- 支持初始相位通过 TBPHS 寄存器配置；
- 16-bit 死区时间，支持上升沿或下降沿的延迟时间通过 DBRED 或 DBFED 寄存器配置；
- 外设刹车命令到来时，PWM 输出通过 TZSEL 寄存器可配置为高电平、低电平、高阻态；

3.9.3 配置值说明

EPWM 的核心配置参数包括 TBPRD、ZERO、CMPA 和 CMPB。其中 TBPRD 定义了 PWM 波的周期长度，CMPA 和 CMPB 则用于设置占空比。通过配置这些参数，可控制 PWM 波的频率和占空比。

- TBPRD: 计数周期值(>0), 配置宽度最大为 16 位, 通过 AQCTLA 或 AQCTLB 寄存器配置计数到 TBPRD 值时产生拉高、拉低或不变等动作;
- ZERO: 计数周期值(=0), 通过 AQCTLA 或 AQCTLB 寄存器配置计数到 ZERO 值时产生拉高、拉低或不变等动作;
- CMPA: 计数比较值 A, 配置宽度最大为 16 位, 通过 AQCTLA 或 AQCTLB 寄存器配置计数到 CMPA 值时产生拉高、拉低或不变等动作;
- CMPB: 计数比较值 B, 配置宽度最大为 16 位, 通过 AQCTLA 或 AQCTLB 寄存器配置计数到 CMPB 值时产生拉高、拉低或不变等动作;

3.9.4 计数模式

EPWM 支持三种计数模式: 递增模式、递减模式和增减模式。不同的计数模式适用于不同的应用场景。

- 递增模式: 计数器每个周期均是从 0 递增到 TBPRD。1 个 TBPRD 周期就能输出 1 周期 PWM, 支持通过 TBCTR 寄存器配置;
- 递减模式: 计数器每个周期均是从 TBPRD 递减到 0。1 个 TBPRD 周期就能输出 1 周期 PWM, 支持通过 TBCTR 寄存器配置;
- 增减模式: 计数器在奇数周期从 0 向 TBPRD 递增, 在偶数周期从 TBPRD 递减到 0。2 个 TBPRD 周期就能输出 1 周期 PWM, 支持通过 TBCTR 寄存器配置;

3.9.5 使用方法

EPWM 可通过配置输出多种不同的波形, 例如 50%占空比 PWM 波、低电平占空比 PWM 波等。若要得到所需波形, 首先需要配置 TBPRD、CMPA、CMPB 的值, 并指定其计数模式, 再配置计数器计数到 TBPRD、ZERO、CMPA、CMPB 值时分别产生什么动作, 最终就能输出所需的波形。在该过程中, 允许配置 $CMPA = CMPB$, 或者 $CMPA > CMPB$, 或者 $CMPA < CMPB$ 。

4 电气特性

表 3： 电气特性表

符号	描述	最小值	典型值	最大值	单位
VIN5V	芯片供电输入 *Note1*	3.6	5.0	5.5	V
AVDD	3.3V电源	2.97	3.3	3.63	V
VDD11	1.1V电源	0.99	1.1	1.21	V
V_{IH}	输入高电平 ($3.0V \leq VDD33 \leq 3.6V$)	$0.7 \times VDD33$	—	$VDD33 + 0.3$	V
V_{IL}	输入低电平 ($3.0V \leq VDD33 \leq 3.6V$)	-0.3	—	$0.3 \times VDD33$	V
V_{OL}	输出低电平 @ $I_{OL} = 12mA$	—	—	0.4	V
V_{OH}	输出高电平 @ $I_{OH} = 20mA$	2.4	—	—	V
I_{5V-IO}	5V耐压IO口输出3.3V时驱动电流	20	—	33	mA
I_{3V3-IO}	3.3V耐压IO口输出3.3V时驱动电流	14	—	24	mA
ΣI_{VDD}	芯片所有IO总电流之和	—	—	200	mA
Pde	芯片采用5V供电且VDD11采用外部供给1.1V状态，正常识别时5V电源的总功耗 ($T_A = 25^\circ C$)	40	—	90	mW
Pdi	芯片采用5V供电且系统采用内部LDO供电，正常识别时5V输入的总功耗 ($T_A = 25^\circ C$)	125	—	255	mW
RC振荡器精度 *Note2*	$T_A: -40^\circ C \sim +85^\circ C$	-1.5	—	+1.5	%
T_{op}	芯片工作环境温度	-40	—	+85	$^\circ C$
T_{st}	芯片储存环境温度	-55	—	+150	$^\circ C$

Note1:要求纹波小于 300mVp-p。

Note2:半导体技术原理及特性的原因，芯片内置的RC振荡器在高低温环境中，其振荡频率精度会产生一定的温漂($\pm 1.5\%$)，CI13161 内置波特率自适应电路，可支持在高低温环境中芯片与上位机的正常通讯。若应用方案要求芯片的时钟需要非常精确，请采用我司配置有外置晶振的芯片及相应的应用方案。

ADC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	—	95	—	dB	With A-Weighted Filter
THD+N	—	-80	—	dB	-3dBFS input

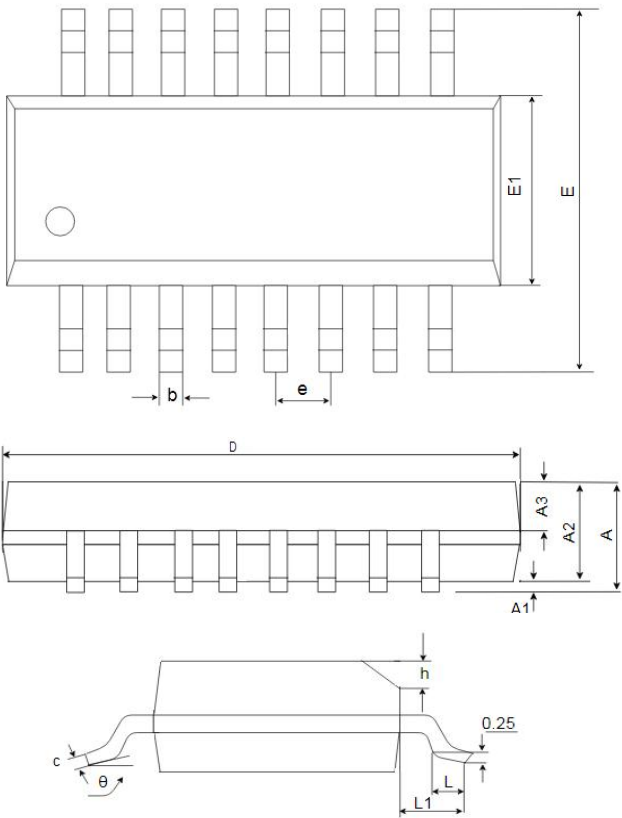
表 4: ADC 特性

DAC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	—	95	—	dB	With A-Weighted Filter
THD+N	—	-75	—	dB	30mW 32 ohm loading

表 5: DAC 特性

5 封装信息



COMMON DIMENSIONS

SYMBOL	UNIT: MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.70
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.6	0.65	0.70
b	0.39	—	0.47
c	0.20	—	0.24
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	0.6	0.80
L1	1.05REF		
θ	0	—	8°

图 10：封装尺寸

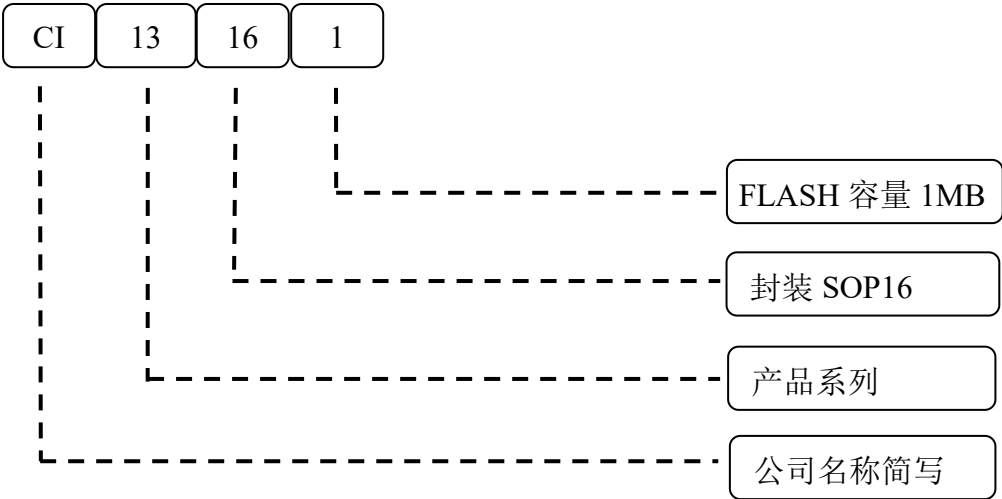
6 订购信息

CI13161 芯片封装 MRAK 如下图，第一行为公司 LOG，第二行为芯片型号，第三行为生产批次

号，左下角圆点为 1 脚标识。



芯片型号定义如下：



CI13161 芯片订购信息见表 5-1。

表 6： CI13161 芯片订购信息表

产品型号	封装形式	基本包装	管装数量	出厂标准包装	标准包装数量
CI13161	SOP16	管装	50pcs	盒装	10000pcs (200 管/盒)

7 应用方案

7.1 应用参考电路图

CI13161 芯片仅需少量外围器件,即可开发出支持各类语音应用的终端产品方案。CI13161 支持单麦克风差分或单端输入。应用方案设计可根据方案所需的功能、功耗和成本等需求因素,选择适合的电路设计方案。

以下以 CI13161 的典型应用方案为例,介绍应用方案设计的要点和注意事项

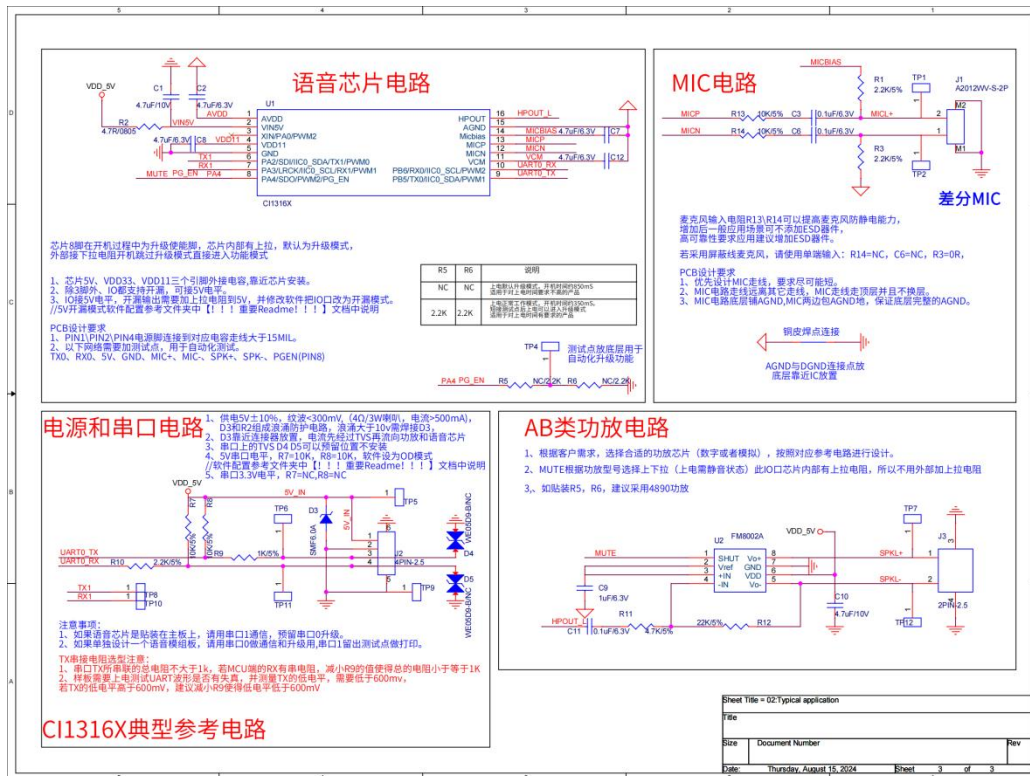


图 11: CI1316X 典型应用方案参考电路图

上图为包括 CI13161 在内的 CI1316X 系列芯片,单麦克风差分输入和功放输出的典型应用方案的参考设计电路图,该设计不局限于匹配某个具体的终端产品。应用方案的设计应基于适配上位机终端产品的原则,根据终端产品的功能和性能需求,前往启英泰伦文档中心和 AI 平台下载参考原理图和参考 PCB 图。文档中心链接 <https://document.chipintelli.com/>应用方案设计时需预留板级升级功能,可以将 UART0 引脚以插座或测试点的方式引出,以便于 PCB 板贴片完成后通过 UART0 烧写或升级固件。

CI13161 的 PA4 (PG_EN) 管脚在芯片内部预置有 3.3V 上拉电阻,上电时系统将检测该引脚是否被置为 3.3V 高电平,若是高电平且检测 UART0 引脚有外部输入的升级信号,系统即进入升级模式。若该引脚外部接下拉电阻到地,芯片上电时可跳过升级模式检测环节直接进入正常启动模式,以实现系统的快速开机。若应用方案有快速开机需求,可将 PA4 引脚引出,并串接两个 2.2KΩ 的下拉电阻到地,两个 2.2KΩ 电阻之间预留一个测试点(具体实施方案请参照参考应用图原图或咨询我司的 FAE),PG_EN 两种工作模式如下表

PG_EN 外接电阻图示	R5\R6 安装情况	PG_EN 高低电平	开机时间
--------------	------------	------------	------

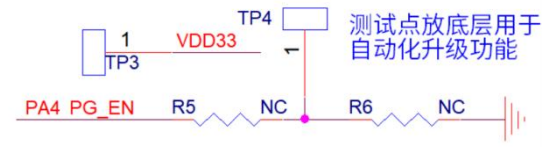
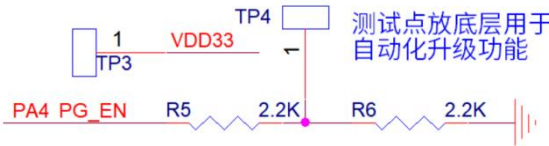
	R5\R6 都 NC	高电平, 升级模式	850ms
	R5\R6 贴 2.2K	低电平, 工作模式	350ms

表 7： CI1316X 升级模式表

CI13161 支持差分麦克风输入或单端麦克风输入，推荐采用图 11 中的差分麦克风设计。低成本设计方案可采用单端麦克风输入设计，以减少麦克风输入线路上的器件，但该方式仅推荐用于麦克风输入线路长度小于 20 厘米的方案，否则麦克风输入线路太长将影响其抗干扰的能力，导致语音识别效果变差。

该典型应用方案的功放配置为 AB 类功放，推荐采用 8002 系列功放。若不需要语音播报功能，可去除该部分电路以降低方案成本。

若应用方案没有超低功耗要求，建议设计方案采用 CI13161 内部的 PMU 供电以降低成本。若应用方案有超低功耗要求，可采用外部 DCDC 电路给 CI13161 供电 1.1V，以降低系统功耗。

CI13161 的 UART 口均可支持 5V 电平通讯。上图中的 UART0 口是以 3.3V 通讯电平为例，应用方案若需外接 5V 通讯电平，在 UART0 的 RX 和 TX 引脚外围增加 5V 上拉电阻即可，无需配置电平转换电路。

7.2 其它应用注意事项

- 1. CI13161 采用无铅环保材料制造，SMT 焊接时请按照无铅标准设置炉温和时间参数。如下

图

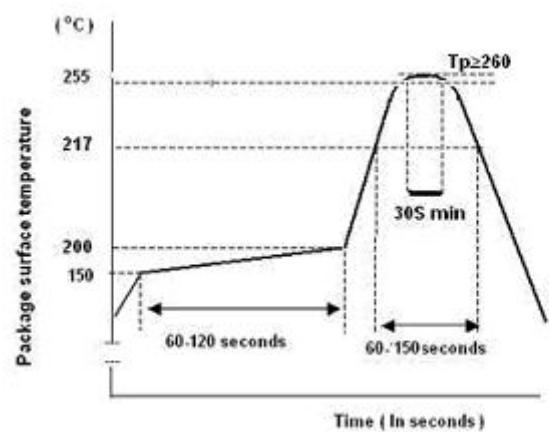


图 12： 炉温曲线图

2. CI13161 的取用、搬运、生产加工等过程需注意采取防静电措施，其包装需采用防静电材料。

8 修订历史

表 8：修订历史

修订版本	修订内容	修订日期
1.0	初始版本	2024.06.19
1.1	1、修改文字描述	2024.09.29
1.2	1、新增芯片接口描述章节	2025.06.26
1.3	1、新增 codec 参数特性	2025.07.25

- 启英泰伦保留对本说明书的解释权和更改权，如有更改恕不另行通知！客户在应用设计前应获取最新版本资料，并验证相关信息是否准确和完整。
- 任何半导体产品在特定条件下都有发生失效或故障的可能，芯片应用方有责任在使用本产品进行系统设计和整机制造时，遵守安全标准并采取安全防护措施，以避免可能的产品失效造成人身伤害或财产损失！
- 启英泰伦将竭诚为客户提供更好的产品和更优质的服务！